Cisco ONS 15454上的定时和同步

目录

简介
先决条件
要求
使用的组件
规则
背景信息
计时架构
计时分配
定时电路
参考资格和失败
锁相环
卡级同步支持
光纤卡
DS1/DS3卡
DS3XM卡
计时模式
外部计时
线路计时
混合计时
时钟模式
正常模式
快速启动模式
保留模式
自由运行模式
计划同步指南
优时设计的特点
相关信息

简介

本文档提供了在Cisco ONS 15454上规划计时和同步的指南。

先决条件

要求

Cisco 建议您了解以下主题：

- Cisco ONS 15454

使用的组件

本文档中的信息基于以下软件和硬件版本：

- Cisco ONS 15454

本文档中的信息都是基于特定实验室环境中的设备编写的。本文档中使用的所有设备最初均采用原始（默认）配置。如果您使用的是真实网络，请确保您已经了解所有命令的潜在影响。

规则

有关文档规则的详细信息，请参阅 Cisco 技术提示规则。

背景信息

产品包含：

- 美国国家标准学会/同步光纤网络(ANSI/SONET)调配平台
- 欧洲电信标准协会/国际电信联盟/同步数字体系(ETSI/ITU/SDH)调配平台
- 传输平台，密集波分复用(DWDM)

本文档中的时间信息适用于两个调配平台。传输平台通过计时使用。通过定时，接收的“东”信号乘以发送的“西”信号，而接收的“西”信号乘以发送的“东”信号。

计时架构

计时、通信和控制(TCC)卡和交叉连接(XC)卡根据SONET/SDH设备的行业标准控制ONS 15454上的计时功能。使用冗余TCC和XC卡提供容错通用系统硬件。

注意：本文档一般使用TCC来指代TCC卡的所有变体，而XC一般指代XC卡的所有变体。

ANSI机箱包含两个楼宇集成定时电源(BITS)输入端口。两个端口在辅助接口保护(AIP)中终止。AIP中的端接允许主用和备用TCC卡监控BITS，并确保BITS的正确端接，即使背板因电涌损坏也是如此。对于ETSI平台，BITS接口位于前安装电气连接(FMEC)面板。

所有同步接口（光端口）从TCC卡管理的系统定时参考导出传输定时。XC卡为每个端口提供传输定时。TCC执行以下同步功能：

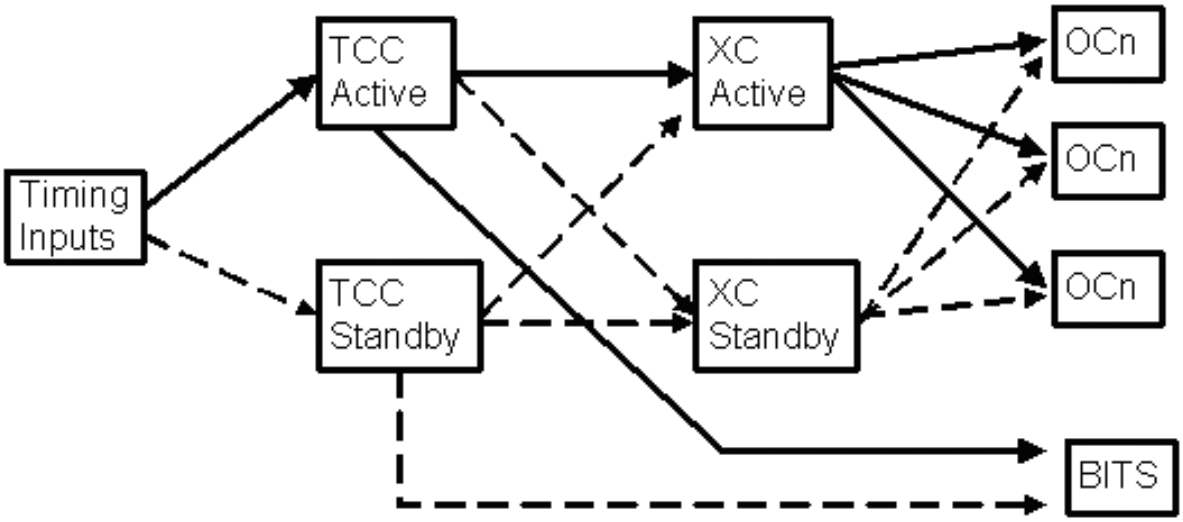
- 要监控，请确认并选择参照。
- 过滤并锁定活动引用。
- 管理系统时钟的分布。
- 终止两个BITS输入。
- 生成两个BITS输出。
- 处理并生成同步状态消息(SSM)。
- 切换维护参考。
- 生成同步警报报告。

计时分配

图1指示了ANSI系统中如何分配定时。SDH版本类似，但术语更改很少。本节以ANSI版本为例。

注意：实线表示活动时序分布，虚线表示备用时序分布。

图1 - ONS 15454 ANSI中的定时选择和分布



每个系统可以基于定时调配采取多种形式的输入或参考时钟。可用的定时输入是BITS 1和2、光线和内部振荡器。所有这些输入都输入到两个TCC卡，但仅使用来自活动TCC卡的计时。您可以使用调配指定最多三个输入作为参考时钟。每个TCC卡内的定时电路独立地限定和选择三个参考中的一个有效参考并锁定到该参考。产生的时钟称为系统时钟或NE时钟。

注意：两个TCC卡不互锁。

每个TCC卡的系统时钟分发到两个XC卡，这两个XC卡将时钟馈入所有OCn卡。从活动XC卡选择时钟。

注意：在SDH平台上，计时从TCC卡直接分配到内部总线上的线卡。

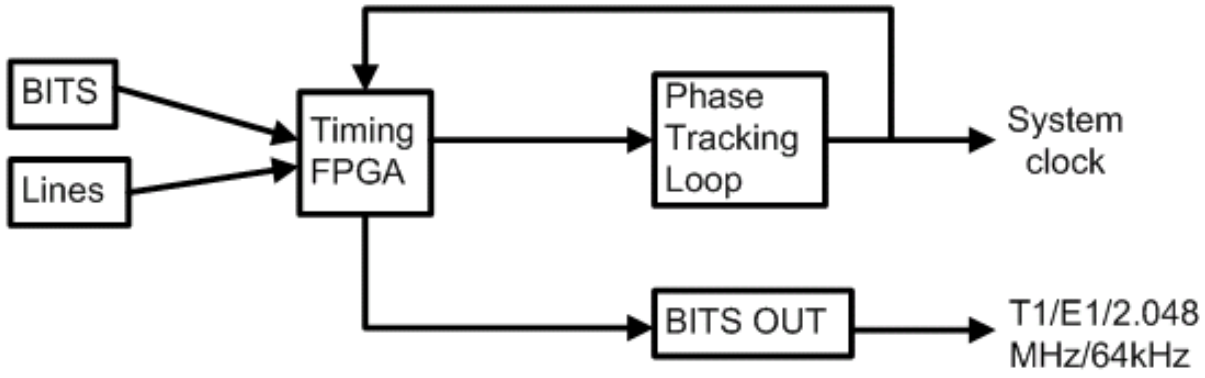
为了驱动其它时钟，TCC卡还可以从线路生成BITS时钟。

注意：BITS输出时钟不能直接从BITS In Clocks中派生，以防止BITS计时环路。

定时电路

TCC卡中的定时电路处理所有与定时相关的功能。图2显示了高级流。为了确定完整性，定时场可编程门阵列(FPGA)处理定时输入。系统时钟用作比较的参考。所选活动参考被馈入相位跟踪环路，该环路产生系统时钟（NE时钟）。还可以为来自线路的信号生成BITS信号，以便为外部设备提供定时（BITS输出）。BITS输出端口提供两个金属接口，支持各种信号。

图2 - TCC中的计时电路



参考资格和失败

影响活动参照选择的方法有两种：

- 调配
- 参考资格

只有调配的参考时钟是选择过程的候选。一个例外是内部时钟，它始终是所有其他引用失败时的默认时钟。但是，调配的引用不一定选作活动引用。任何选定的引用都必须通过资格审批流程。

每五毫秒轮询一次每个引用，以便进行状态更改。在30秒内，TCC计算每个参考的频率和漂移。当频偏在±12.9ppm内时，参考符合（接受）。当频率超出有效频率范围时（活动BITS为±15 ppm，活动线路为±16 ppm，非活动参考为±13.1 ppm），并且漂移超出阈值(2 ppm)时，参考被标记为错误（拒绝）。当收到警报或没有信号时，参考也被标记为“错误”。警报可以是信号丢失(LOS)、帧丢失(LOF)或警报指示信号(AIS)。 活动引用失败会提示选择并切换到下一个最佳引用。

调配为提供线路同步参考的IO卡会持续监控其接收信号。如果端口处于LOS、LOF或AIS状态，则卡会关闭对TCC的引用。因此，TCC声明来自端口的引用错误。如果此参照是当前活动参照，则下一个最佳参照将成为活动参照。

如果传入时钟与SSM关联，则SSM用于参考选择。无论是否使用SSM，始终选择最高质量的时钟作为活动时钟。当有多个引用具有相同质量时，将选择优先级最高（基于调配）的引用作为活动引用。

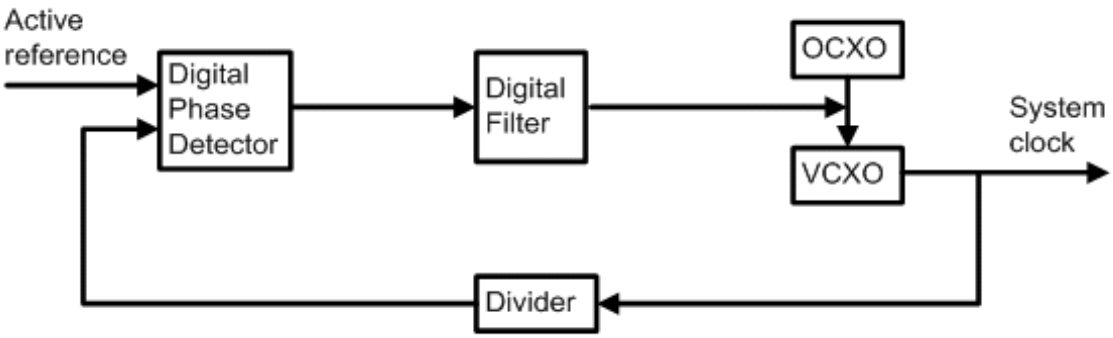
总之，如果以下任何条件为真，则不接受引用：

- 光输入或BITS输入接收LOS、LOF或AIS警报，或者接口停止服务。
- SSM处于不使用(DUS)状态，或SSM指示时钟质量较低（换句话说，参考的SSM质量比TCC的SSM质量差）。
- 输入频率在30秒（越界）内的BITS为±15 ppm，线路为±16 ppm。
- 输入时钟不稳定（这意味着时钟以超过2ppm的速度运行）。
- 至少30秒不符合条件。

锁相环

TCC中定时电路的核心位于由锁相环(PLL)产生的时钟产生器块。 图3表示TCC上的简化PLL。

图3 — 锁相环



相位检测器将有源参考时钟与系统时钟（已经通过除法器划分）进行比较。 如果存在相位偏移，则产生与该偏移成比例的电压电平。如果没有偏移，则不生成输出。滤波器平滑或平均电压信号一段时间，并将平均值馈入压控晶体振荡器(VCXO)。 电压调节VCXO的相位和频率。VCXO的输出是系统时钟（或NE时钟）。 部分输出反馈回环路以重复该过程。当系统时钟跟踪活动参考时，时钟被锁定，TCC进入正常时钟模式。

VCXO进一步通过在OCXO和滤波的参考时钟之间较小的PLL稳定。

注意：为简化图，此处未显示此较小的PLL。

结果是系统时钟更稳定。请注意，TCC中使用的OCXO因其保持稳定性和自由运行精度而评定为Stratum 3。

卡级同步支持

光纤卡

- 系统时钟乘以所有SONET传输接口。
- 使用指针调整来解决输入和输出定时之间的差异。

DS1/DS3卡

- 原始DSx输入速率决定输出的数据速率。数据速率完全独立于直通定时模式的NE时钟。
- 在SONET网络中的初始映射和指针调整时使用填充位，以解决NE速率和数据速率之间的差异。

DS3XM卡

- 输出线速被锁定到NE时钟。
- DS3中的各个DS1保留其输入频率。

计时模式

ONS 15454支持以下计时模式：

- 外部
- 线

- 混合

TCC卡具有内部Stratum 3时钟，可提供Holdover和自由运行计时支持。

注意：通过定时和每端口环路定时是额外的定时模式。但是，ONS 15454调配平台不支持这些模式。

注意：电气异步接口是通过计时的，不引用系统计时。对于这些异步端口，发送定时从该异步信号的接收定时导出。

外部计时

此模式从外部定时设备（例如BITS或定时DS-1/E1）导出定时。外部定时设备的质量级别优于内部第3层时钟。

线路计时

线路定时从一个或多个光接口导出定时参考。具有多个光纤接口的光纤卡只能将一个接口调配为定时参考端口。传入的恢复时钟被转换为19.44MHz信号，发送到TCC卡，并被限定为定时参考。在线路计时模式下，可用计时参考是光接口和内部时钟。

注意：当光纤端口调配为1+1时，仅工作端口调配为计时参考。在交换机切换期间自动选择保护端口。

混合计时

混合模式定时允许同时选择外部(BITS1/BITS2)和线路（光接口）定时参考以及内部时钟。使用混合模式计时时要小心，因为计时环路很容易发生。因此，在使用混合模式计时之前，请仔细规划。或者，使用循环BITS。

时钟模式

正常模式

在正常操作模式下，TCC被锁定到外部计时源。

快速启动模式

一种振荡器使用快速启动模式来快速“拉入”频率远离振荡器频率的参考时钟。快速启动有时称为“获取状态”。如果TCC更改为接近TCC卡已运行速率的参考，则模式直接更改为Normal。

保留模式

在保持模式下，所有外部或线路定时参考都会丢失，并且时钟使用正常工作模式下参考的定时数据来控制其输出信号。但是，保留频率会随时间而漂移，直到有时间参考可用。如果先前的计时参考在丢失之前可用时间少于140秒，则当计时参考丢失时，TCC进入自由运行模式。

此模式优于自由运行模式，因为它使用上次限定计时引用的平均140秒数据来增加其内部时钟。TCC保持此模式，直到参考可用于交换或漂移超出界限。在前24小时内，通过转换到Holdover模式，流量保证不会中断。

自由运行模式

自由运行模式仅引用TCC卡上的内部时钟。此模式也是丢失其他引用时的默认模式，即使没有特别调配作为引用。确保您的网络不使用TCC卡的内部时钟作为唯一或主计时源运行。

计划同步指南

优时设计的特点

计时设计良好：

- 合并逻辑计时层次结构。
- 提供高效同步。
- 避免计时环路。
- 快速从计时故障中恢复。

对于大于几个节点的网络，最好始终拥有冗余且准确的外部定时源。在实际网络中，这并不总是可能或必需的。

在正常操作期间，内部计时不用作主计时源。思科建议您使用更高质量的源(最好是主参考源/主参考时钟(PRS/PRC)时钟)来进行主网络计时，内部时钟在所有其他计时源发生故障时可用。

为实现高可跟踪性，从主节点以菊花链方式定时的ONS 15454节点行数量最小。一般来说，主方向最多可以有7个节点，辅助方向最多可以有13个节点。仔细规划环中的线路计时，以避免计时环路。

计时环路会导致节点尝试跟踪自身时钟时出现大频率错误，这进而会导致ONS 15454节点重复进入Holdover、Fast-start或Free-run计时模式。通常没有警报表示存在计时环路。

相关信息

- 技术支持和文档 - Cisco Systems

关于此翻译
思科采用人工翻译与机器翻译相结合的方式将此文档翻译成不同语言，希望全球的用户都能通过各自的语言得到支持性的内容。

请注意：即使是最好的机器翻译，其准确度也不及专业翻译人员的水平。

Cisco Systems, Inc. 对于翻译的准确性不承担任何责任，并建议您总是参考英文原始文档（已提供链接）。